

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

004064403

WPI Acc No: 1984-209944/198434

Glass substrate for thin-film device - is covered with insulator yield
point higher than glass NoAbstract Dwg 0/5

Patent Assignee: TOKYO SHIBAURA DENKI KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 59121876	A	19840714	JP 82227406	A	19821228	198434 B

Priority Applications (No Type Date): JP 82227406 A 19821228

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 59121876	A		6		

Title Terms: GLASS; SUBSTRATE; THIN; FILM; DEVICE; COVER; INSULATE; YIELD;
POINT; HIGH; GLASS; NOABSTRACT

Derwent Class: L01; L03; U11; U12; U14

International Patent Class (Additional): H01L-021/20; H01L-027/12;
H01L-029/78; H01L-031/02

File Segment: CPI; EPI

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—121876

⑬ Int. Cl.³
H 01 L 29/78
21/20
27/12
31/02

識別記号

庁内整理番号
7377—5F
7739—5F
8122—5F
7021—5F

⑭ 公開 昭和59年(1984)7月14日

発明の数 1
審査請求 未請求

(全 5 頁)

⑮ 薄膜デバイス用ガラス基板

⑯ 特 願 昭57—227406

⑰ 出 願 昭57(1982)12月28日

⑱ 発 明 者 池田光志

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

⑲ 発 明 者 鈴木幸治

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

⑳ 発 明 者 青木寿男

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

㉑ 発 明 者 小穴保久

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

㉒ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉓ 代 理 人 弁理士 則近憲佑 外1名

明細書の浄書(内容に変更なし)
明 細 書

1. 発明の名称

薄膜デバイス用ガラス基板

2. 特許請求の範囲

(1) 低融点板ガラスの両面が、この板ガラスの重点より高い重点を持つ絶縁物により被覆されて成る事を特徴とする薄膜デバイス用ガラス基板。

(2) 絶縁物が板ガラスの重点より150℃以上低温で形成されている事を特徴とする前記特許請求の範囲第1項記載の薄膜デバイス用ガラス基板。

(3) 絶縁物の重点が板ガラスの重点より200℃以上高い事を特徴とする前記特許請求の範囲第1項記載の薄膜デバイス用ガラス基板。

(4) 絶縁物として SiO_2 、 Al_2O_3 、 ThO_2 、 BeO 、 TiO_2 、 Ta_2O_5 、 Y_2O_3 、 ZrO_2 、 Si_3N_4 、 Ta_3N_5 、 BN 又は Al_3N を用いた事を特徴とする前記特許請求の範囲第1項記載の薄膜デバイス用ガラス基板。

(5) 絶縁物の厚さが0.5～10μである事を特徴とする前記特許請求の範囲第1項記載の薄膜デバイス用ガラス基板。

3. 発明の詳細な説明

[発明の属する技術分野]

本発明は、薄膜デバイス用ガラス基板に関する。

[従来技術とその問題点]

近年、アモルファスシリコン、ポリシリコン、 CdS 、 CdSe 、 ZnS 等を半導体薄膜として用いる薄膜トランジスター、蓄層センター、太陽電池、エレクトロルミネッセンスデバイス等の薄膜デバイスが研究開発されている。

これらのデバイスは、低価格、大面積、透光性等の利点により硼硅酸ガラス等の低融点板ガラスを用いることが多い。そしてこれらのデバイスの製作には半導体膜形成、絶縁膜形成、アニール等の比較的高温のプロセスが必要であり、通常これらのデバイスの製作には複数のマスクパターンが用いられ、マスク合わせは前のプロセスにより形成されたパターンと合わせることにより行なわれる。しかし上記熱プロセスはガラスの重点に近い温度で実行されることが多いため、これらのプロセスによりガラスが変形し、ガラス上に形成した

パターンの位置がずれるため、次のマスクパターンとの調整が不可能になるという問題点があった。これはパターンが高精細な程、又ガラス基板が大口径になる程顕著となる。

〔発明の目的〕

本発明は上述した従来の問題点を解決し、薄膜デバイス製作時に変形の少ないガラス基板を提供することを目的とするものである。

〔発明の概要〕

本発明では、低融点板ガラス基板の両面を、一般にはガラスの歪点より十分に低い温度（少なくともガラスの歪点より150℃以上低い温度）にて、高い歪点を有する絶縁物により被覆する。ガラスは歪点付近で機械的応力が急激に弱くなるため、熱応力、機械的応力により容易に変形するようになるが、両面をガラスの歪点付近でも機械的強度の強い物質で覆うことにより、基板を強化し薄膜デバイス作成時の変形が防止される。

絶縁物の被覆温度は、両面同時に被覆し、しかも応力がかからない状態であれば（例えば取出し

時等）更に高い温度にする事は可能である。しかし一般には上記温度以下が好ましい。

〔発明の効果〕

本発明によれば、たとえガラスの歪点付近の温度においても半導体薄膜の形成、絶縁膜形成、アニールを行なうことができ、かつ複雑なマスク合わせを行なうことが可能となる。又、上記工程は一般に高温になる程良好なものが得られるため、デバイス特性の改善を図ることができる。更に、基板が大面積になると共にガラスの変形によるマスク合わせの困難度は増すため、本発明により大面積ガラス基板の採用が可能となる。

〔発明の実施例〕

第1図(a)~(c)に本発明の実施例を示す。ガラス基板上にアモルファスシリコンの薄膜トランジスタを形成した例である。

先ず、コーニング社の、口径4インチ、厚さ0.8mmの7059番の板ガラス11（バリウム珪酸ガラス、歪点593℃）の両面に室温でスパッタにより SiO_2 12を片面ずつ1μ堆積した。第

件は、Arガス3mmTorr、300W、50分とした。次いでゲート電極13a、13bとしてMoをDCスパッターにより、室温、Arガス、7mmTorr、300V、0.2A、10分の条件で約1000Å堆積し、写真食刻技術によりパターン形成を行なった。次にゲート絶縁膜としてCVD法により SiO_2 14を $\text{SiH}_4 + \text{O}_2$ ガスをを用い、450℃、常圧、5分で約3000Å堆積した。その後アモルファスシリコンをグロー放電分解により、 SiH_4 ガス、1Torr、5W、40分、基板温度280℃の条件で堆積し、パターン形成した（15a、15b）。この上にMoを上記した方法で500Åスパッタレ、Alを150℃で3000Å蒸着し、両者をソース・ドレイン電極16としてパターン形成した。

第2図(a)~(c)に上記工程に対応して示す如く、両面に SiO_2 被覆層12のない通常のガラス基板では、ゲート絶縁膜の被着工程で凸状に反る。これは、膜形成後それを室温に戻す途中においてガラスの機械的強度が弱い為に膨脹係数の相違により生じたものと考えられる。これに対し本発明で

はガラス基板が強化されているので反りが防止される。

第3図(a)(b)は、上記ウェーハの端部の互いに6cm離れた場所I、IIにおけるゲートMo13a、13bのパターンとアモルファスシリコン15a、15bの合わせパターンを示す。第3図(a)の SiO_2 被覆の基板では全んどズレが生じていないが、第3図(b)の従来の基板では大きくズレている。第4図(a)(b)に形成した薄膜トランジスタのパターンを示す。第4図(b)の従来の薄膜トランジスタでは、パターンずれによりゲートとチャンネルの重なりがなくなりトランジスタとしての動作が不可能となっている。

第5図に上記2種類のガラス基板上に450℃のCVD法で SiO_2 を約3000Å堆積した場合の基板の反りの半径のCVD膜依存性（温度依存性）を示す。実線は従来法、破線は常温で1μの SiO_2 をスパッター被覆したものである。被覆膜のないものでは第2図(b)の工程に対応させると、横軸の400、450、500℃は、夫々2μ、5μ、

12 μ のパターンズレに相当する。これに対し SiO_2 被覆膜付のガラス基板では反りの半径が3倍以上も大きくなり、即ち反りが少なくなっている。

本発明は上記実施例に限られるものではなく、ガラス基板上のデバイスは密着センサー、太陽電池、エレクトロルミネッセンスデバイス等に適用することが出来る。一般に絶縁膜のヤング率は大きく変形を生じ易いため、特に絶縁膜をガラス基板上に形成する時に有用である。又、ポリシリコンは、500℃程度で通常被着がその場合にも有効である。又、本発明はアニール時に生じ易い基板の変形に対しても有効である。又、ガラスの両面に被覆する膜は、 SiO_2 に限らずガラスの歪点以上でも機械的強度の大きな膜であれば良い。例えば Al_2O_3 、 ThO_2 、 BeO 、 TiO_2 、 Ta_2O_5 、 Y_2O_3 、 ZrO_2 、 Si_3N_4 、 Ta_3N_5 、 BN 、 Al_3N 等を使用する事ができる。また、これらの膜の形成方法はスパッターに限らずガラスの歪点より十分低い温度で形成できる蒸着、プラズマCVD等でもよい。又、被膜(被覆膜)の厚さは通常薄膜デバイスに

用いられる絶縁膜の厚さは数百Å \sim 1 μ 、半導体薄膜の厚さは数千Å \sim 1 μ であるので被覆膜は少なくとも0.5 μ 以上必要である。又、形成時間から10 μ 以下が好ましい。即ち、被覆絶縁膜上に形成するガラスの歪点下250℃又は150℃より高い熱工程が加わる絶縁膜や半導体膜の合計厚さの2倍以上特に3倍以上とするのが本発明の効果を得る上で好ましい。

尚、被覆膜の厚さがガラスの両面で異なると、不均等な応力が発生しガラスの変形が生ずるため、本発明の被覆膜の厚さはほぼ等しい事が望ましい。

上記実施例ではバリウム硼硅酸ガラスについて述べたが、その他アルミ1硅酸ガラスやソーダバリウム硅酸ガラス等の低融点ガラスでも良い。

又、被覆絶縁膜はガラスの歪点よりも150℃以上、好ましくは250℃以上低い温度で被着する事が良い。又、ガラスの歪点下250℃、特に150℃より高い温度の熱工程が加わる場合に本発明の効果は大きいものである。又、被覆絶縁膜の歪点はガラスの歪点より200℃以上高くする

事が好ましい。

4. 図面の簡単な説明

第1図(a)~(c)は本発明の実施例を説明する為の断面図、第2図(a)~(c)は従来例を説明する為の断面図、第3図(a)(b)及び第4図(a)(b)は夫々本発明の効果を説明する為の平面図、第5図は本発明の効果を示す特性図である。

図に於いて、

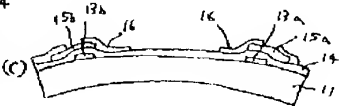
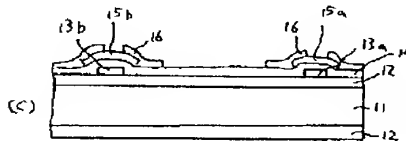
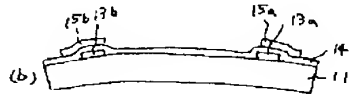
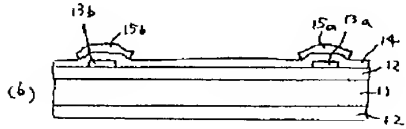
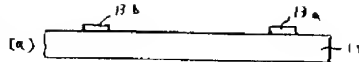
11…低融点ガラス基板、12… SiO_2 膜、
13…Moゲート電極、14…CVD SiO_2 膜、
15…アモルファスシリコン膜、16…ソース・ドレイン用アルミ電極。

代理人 弁理士 則 近 憲 佑(他1名)

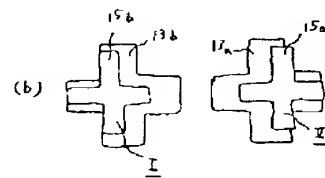
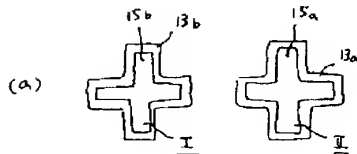
第1図



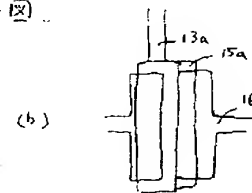
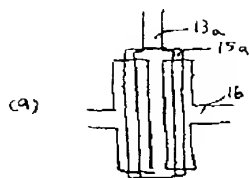
第2図



第3図



第4図



特開昭59-121876 (5)

手 続 補 正 書 (方式)

昭和 年 月 日
58. 4. 21

特許庁長官 殿

1. 事件の表示

昭和57年特願第227406号

2. 発明の名称

薄膜デバイス用ガラス基板

3. 補正をする者

事件との関係 特許出願人

(307) 東京芝浦電気株式会社

4. 代理人

〒100

東京都千代田区内幸町1-1-6

東京芝浦電気株式会社東京事務所内

(7317) 弁護士 則 近 富 佑

5. 補正命令の日付

昭和58年3月29日(発送日)

6. 補正の対象

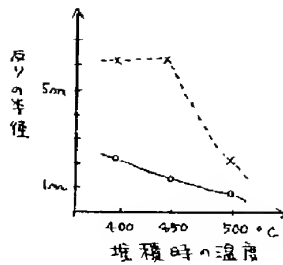
明 細 書

7. 補正の内容

明細書の浄書(内容に変更なし)

以 上

第5図



Japanese Laid-open Patent

Japanese Patent Laid -Open Number: 59-121876

Laid-open Date: July 14, 1984

Application Number: Sho 57-227406

Filing Date: December 28, 1982

SPECIFICATION

1. Title of the Invention

Glass Substrate for Thin film Device

2. Claims

1. A glass substrate for a thin film device, comprising:

a sheet glass of a low melting point having two faces coated with an insulator having a strain point higher than the strain point of the sheet glass.

2. A glass substrate for a thin film device as set forth in claim 1, wherein the insulator is formed at a temperature lower than the strain point of the sheet glass by more than 150 °C.

3. A glass substrate for a thin film device as set forth in claim 1, wherein the strain point of the insulator is higher than the strain point of the sheet glass by more than 200 °C.

4. A glass substrate for a thin film device as set forth in claim 1, wherein the insulator is SiO₂, Al₂O₃, ThO₂, BeO, TiO₂, Ta₂O₅, Y₂O₃, ZrO₂, Si₃N₄, TaN, BN, or AlN.

5. A glass substrate for a thin film device as set forth in claim 1, wherein the insulator has a thickness of 0.5 to 10 μ.

3. Detailed Description of the Invention

[Technical Field to which the Invention Belongs]

The present invention relates to a glass substrate for thin film devices.

[Prior Art Techniques and Problems]

In recent years, thin film devices such as thin film transistors, contact image sensors, solar cells, and electroluminescent devices which use semiconductor thin films of amorphous silicon, polysilicon, CdS, CdSe, ZnS, or the like have been studied and developed.

These devices have various features including low cost, large area, and transparency and often use low-melting-point sheet glass such as borosilicate glass. To fabricate these devices, process steps carried out at relatively high temperatures such as formation of semiconductor films, formation of insulating

films, and annealing are necessary. Usually, plural mask patterns are used for manufacture of these devices. A mask alignment is performed by making an alignment to a pattern formed by the previous process step. However, the aforementioned thermal process steps are often carried out at temperatures close to the strain point of glass. These process steps deform the glass, causing a misalignment of a pattern formed on the glass. This makes it impossible to make an adjustment with the next mask pattern. This problem becomes more conspicuous with increasing the fineness of the pattern and with increasing the diameter of the glass substrate.

[Object of the Invention]

It is an object of the present invention to provide a glass substrate that is free of the foregoing problems with the prior art technique and deforms to a lesser extent during manufacture of thin film devices.

[Summary of the Invention]

In the present invention, both faces of a low-melting-point glass substrate are coated with an insulator having a high strain point at the temperature generally sufficiently lower than that of glass (i.e., lower than the strain point of glass at least by more than 150°C). Since the mechanical stress in glass weakens rapidly near its strain point, the glass is easily deformed by thermal stress and mechanical stress. The substrate is reinforced by coating both faces with a material that shows strong mechanical strength near the strain point of glass. As a result, deformation is prevented during manufacture of thin film devices.

If both faces are coated at the same time and no stress is applied (e.g., when the glass is taken out), the temperature at which the insulator is applied or deposited can be elevated further. Generally, however, temperatures lower than the above-described temperature are desirable.

[Effects of the Invention]

In accordance with the present invention, a semiconductor thin film or an insulating film can be formed or annealing can be carried out even at the temperature near the strain point of glass. Furthermore, an accurate mask alignment can be performed. Better results can be derived by performing the aforementioned process steps at higher temperatures. Therefore, the device characteristics can be improved. If the area of the substrate is increased, the mask alignment is performed with greater difficulty due to deformation of glass. Consequently, the present invention permits adoption of a large-area glass substrate.

[Embodiment of the Invention]

Figs. 1(a)-1(c) show embodiments of the present invention. In these examples, thin film transistors of amorphous silicon are formed on a glass substrate.

First, SiO_2 12 is deposited to $1\ \mu$ by sputtering on each side of sheet glass 11 consisting of Corning 7059 glass having a diameter of 4 inches and a thickness

of 0.8 mm at room temperature. The glass is made of barium borosilicate glass and a strain point of 593°C. The conditions are: Ar gas of 3 mm Torr, 300 W, and 50 minutes. Then, Mo is deposited to about 1000 Å to form gate electrodes 13a and 13b by DC sputtering. The conditions are: at room temperature, Ar gas of 7 mm Torr, 300 V, 0.2 A, and 10 minutes. A pattern is formed photolithographically. Thereafter, SiO₂ 14 is deposited as a gate insulating film to about 3000 Å at 450°C at room temperature for 5 minutes, using SiH₄ + O₂ gas by CVD. Then, amorphous silicon is deposited by glow discharge decomposition using SiH₄ gas at 1 Torr, 5 W, and a substrate temperature of 280°C for 40 minutes to form a pattern (15a, 15b). Mo is sputter-deposited on it to 500 Å by the aforementioned method. Aluminum is evaporated to 3000 Å at 150°C. Both are patterned as source/drain electrodes 16.

The above-described process sequence is shown in Figs. 2(a)-2(c). An ordinary glass substrate whose both faces are not coated with SiO₂ coated film 12 is warped convexly during a process step of depositing a gate insulating film. It is considered that this warp is created because of the difference in coefficient of expansion since the mechanical strength of the glass is weak while the temperature is being returned to room temperature after formation of the film. On the other hand, in the present invention, warp is prevented, because the glass substrate is reinforced.

Figs. 3(a) and 3(b) show alignment patterns for alignment of pattern of gate Mo 13a, 13b and amorphous silicon 15a, 15b at locations I and II that are spaced from each other by 6 cm at ends of the aforementioned wafer. In the case of the substrate of Fig. 3(a) coated with SiO₂, almost no misalignment takes place. On the conventional substrate of Fig. 3(b), a large misalignment occurs. Formed patterns of thin film transistors are shown in Figs. 4(a) and 4(b). In the conventional thin film transistor of Fig. 4(b), the gate no longer overlaps the channel due to misalignment between patterns. Hence, the transistors cannot be operated.

Fig. 5 shows the CVD film dependency (the temperature dependency) of the radius of warp of each of the aforementioned two glass substrates when SiO₂ is deposited to about 3000 Å on each substrate at 450°C by CVD. The solid line indicates the case in which SiO₂ is sputter-deposited to 1 μ by the prior art method. The broken line indicates the case in which SiO₂ is sputter-deposited to 1 μ at room temperature. Where there are no coating film, in the process sequence of Fig. 2(b), 400°C, 450°C, and 500°C on the horizontal axis correspond to pattern misalignments of 2 μ, 5 μ, and 12 μ, respectively. On the other hand, with respect to the glass substrate coated with SiO₂ film, the radius of warp increased by a factor of three or more. That is, warp is decreased.

It is to be noted that the present invention is not limited to the above

embodiment. Rather, devices on a glass substrate can be contact image sensors, solar cells, electroluminescent devices, and so on. Generally, insulating films have large Young's modulus and thus are easily deformed. Therefore, especially where an insulating film is formed on a glass substrate, advantages can be obtained. Where polysilicon is deposited at about 500°C by a normal method, advantages can be had. In addition, the present invention can be effectively employed to prevent deformation that would normally be caused during annealing. Notice that the film deposited on each side of glass is not limited to SiO₂. If a film has a large mechanical strength at a temperature not lower than the strain point of glass, the film can be used. For example, Al₂O₃, ThO₂, BeO, TiO₂, Ta₂O₅, Y₂O₃, ZrO₂, Si₃N₄, TaN, BN, and AlN can be used. Furthermore, the method of forming these films is not limited to sputtering. Evaporation, plasma CVD, and other methods capable of forming films at a temperature sufficiently lower than the strain point of glass may also be employed. With respect to the thickness of a film (a coating film), an insulating film normally used for thin film devices is hundreds of angstroms to 1 μ. The thickness of a semiconductor thin film is thousands of angstroms to 1 μ. Therefore, the coating film needs to be at least 0.5 μ or more. In addition, the thickness is preferably 10 μ or less on account of the formation time. That is, insulating films and semiconductor films undergo thermal process steps carried out at temperatures that are lower than the strain point of glass by 250°C or at a temperature of higher than 150°C. The advantages of the present invention can be effectively derived by setting the thickness of the insulating film to more than twice or especially three or more times of the total thickness of these insulating films and semiconductor films.

If the films coated on both surfaces of the glass are different in thickness, non-uniform stress occurs, deforming the glass. Therefore, the coating films in accordance with the present invention are preferably almost identical in thickness.

In the above embodiment, barium borosilicate glass has been described. Other low-melting-point glasses such as aluminum silicate glass and sodium barium silicate glass may also be used.

It is desirable that the coating insulating films are deposited at a temperature that is lower than the strain point of glass by more than 150°C, preferably more than 250°C. Where thermal process steps are carried out at temperatures lower than the strain point of glass by 250 °C and especially more than 150°C, the present invention produces especially great advantages. Furthermore, it is desired to set the strain point of the deposited insulating films higher than the strain point of glass by more than 200°C.

4. Brief Description of the Drawings

Figs. 1(a)-1(c) are cross-sectional views illustrating an embodiment of

the present invention;

Figs. 2(a)-2(c) are cross-sectional views illustrating a conventional example;

Figs. 3(a), 3(b), 4(a), and 4(b) are plan views illustrating the effects of the present invention; and

Fig. 5 is a characteristic diagram illustrating the effects of the present invention.

- 11: low-melting-point glass substrate; 12: SiO_2 film;
- 13: Mo gate electrode; 14: CVD-deposited SiO_2 film;
- 15: amorphous silicon film;
- 16: aluminum electrode for source and drain